

Schematic Symbol for XC2C256FTG256

The Orcad symbol consists of 4 heterogeneous parts, each of them listed below:

1. I/O Pins (BANK1)

U?A			
J1	I/O_1	I/O_1/GCK2	P5
J13	I/O_1	I/O_1/GCK1	M3
J14	I/O_1	I/O_1/GCK0	M2
J15	I/O_1	I/O_1/DGE0	T2
J2	I/O_1	I/O_1/CDR	P2
J3	I/O_1	I/O_1	T8
J4	I/O_1	I/O_1	T7
J5	I/O_1	I/O_1	T6
K1	I/O_1	I/O_1	T5
K14	I/O_1	I/O_1	T4
K15	I/O_1	I/O_1	T3
K16	I/O_1	I/O_1	T16
K2	I/O_1	I/O_1	T15
K3	I/O_1	I/O_1	T10
K4	I/O_1	I/O_1	T1
K5	I/O_1	I/O_1	R9
L1	I/O_1	I/O_1	R8
L12	I/O_1	I/O_1	R7
L13	I/O_1	I/O_1	R6
L14	I/O_1	I/O_1	R5
L15	I/O_1	I/O_1	R4
L16	I/O_1	I/O_1	R3
L2	I/O_1	I/O_1	R2
L3	I/O_1	I/O_1	R16
L4	I/O_1	I/O_1	R15
L5	I/O_1	I/O_1	R14
M1	I/O_1	I/O_1	R13
M11	I/O_1	I/O_1	R12
M12	I/O_1	I/O_1	R10
M13	I/O_1	I/O_1	R1
M14	I/O_1	I/O_1	P8
M15	I/O_1	I/O_1	P7
M16	I/O_1	I/O_1	P6
M5	I/O_1	I/O_1	P4
M6	I/O_1	I/O_1	P16
M7	I/O_1	I/O_1	P15
M8	I/O_1	I/O_1	P14
N1	I/O_1	I/O_1	P13
N10	I/O_1	I/O_1	P10
N11	I/O_1	I/O_1	P1
N13	I/O_1	I/O_1	N9
N14	I/O_1	I/O_1	N8
N15	I/O_1	I/O_1	N7
N16	I/O_1	I/O_1	N6
N2	I/O_1	I/O_1	N5
N3	I/O_1	I/O_1	N4

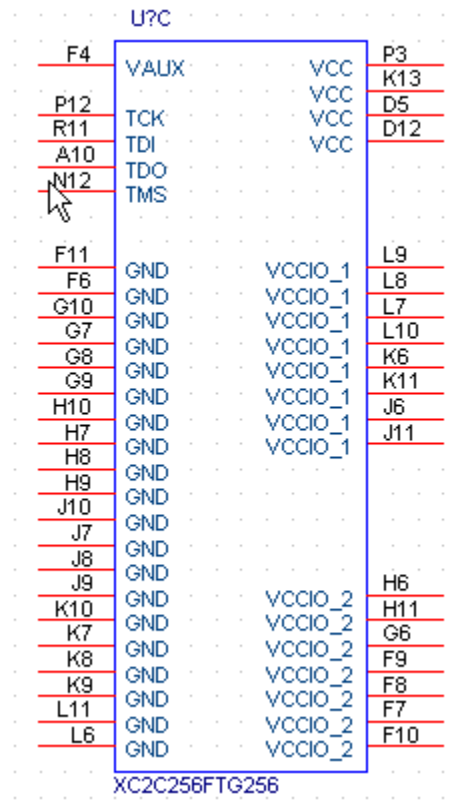
XC2C256FTG256

2. I/O Pins (BANK2)

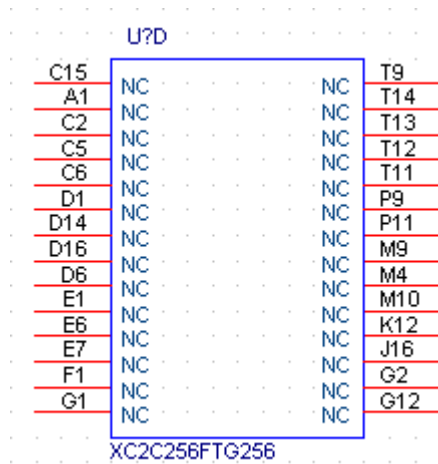
U?B		
A11	I/O_2	I/O_2/GTS3
A12	I/O_2	I/O_2/GTS2
A13	I/O_2	I/O_2/GTS1
A14	I/O_2	I/O_2/GTS0
A15	I/O_2	I/O_2/GSR
A16	I/O_2	I/O_2
A2	I/O_2	I/O_2
A3	I/O_2	I/O_2
A4	I/O_2	I/O_2
A5	I/O_2	I/O_2
A6	I/O_2	I/O_2
A7	I/O_2	I/O_2
A8	I/O_2	I/O_2
A9	I/O_2	I/O_2
B1	I/O_2	I/O_2
B10	I/O_2	I/O_2
B11	I/O_2	I/O_2
B12	I/O_2	I/O_2
B13	I/O_2	I/O_2
B14	I/O_2	I/O_2
B15	I/O_2	I/O_2
B16	I/O_2	I/O_2
B2	I/O_2	I/O_2
B3	I/O_2	I/O_2
B4	I/O_2	I/O_2
B5	I/O_2	I/O_2
B6	I/O_2	I/O_2
B7	I/O_2	I/O_2
B8	I/O_2	I/O_2
B9	I/O_2	I/O_2
C1	I/O_2	I/O_2
C10	I/O_2	I/O_2
C11	I/O_2	I/O_2
C12	I/O_2	I/O_2
C13	I/O_2	I/O_2
C14	I/O_2	I/O_2
C16	I/O_2	I/O_2
C3	I/O_2	I/O_2
C7	I/O_2	I/O_2
C8	I/O_2	I/O_2
C9	I/O_2	I/O_2
D10	I/O_2	I/O_2
D11	I/O_2	I/O_2
D13	I/O_2	I/O_2
D15	I/O_2	I/O_2
D2	I/O_2	I/O_2
E3		
D3		
E5		
D4		
C4		
J12		
H5		
H4		
H3		
H2		
H16		
H15		
H14		
H13		
H12		
H1		
G5		
G4		
G3		
G16		
G15		
G14		
G13		
G11		
F5		
F3		
F2		
F16		
F15		
F14		
F13		
F12		
E9		
E8		
E4		
E2		
E16		
E15		
E14		
E13		
E12		
E11		
E10		
D9		
D8		
D7		

XC2C256FTG256

3. Power and JTAG Programming



4. No Connect Pins



Notes:

- I/O_1 –bidirectional pins in Bank 1
- I/O_2 –bidirectional pins in Bank 2
- GTS = global output enable, GSR = global reset/set, GCK = global clock, CDRST = clock divide reset, DGE = DataGATE enable.
- GTS, GSR and GCK pins can be used for general purpose I/O.

Note: VAUX is the power supply pin for the JTAG chain. Please ensure that this pin is connected in the schematic to allow the programming of the part.

Document Revision History

	Revision	Date	By	Comments
1	1.00	Apr 12, 2010	LD	Initial Release